

Translation of the attached sheet (Japanese text portions only)
Background Art Information

Patent No./Publication	Inventor(s)/Author(s)	Date etc										
<p>Jpn. Pat. Appln. KOKAI Publication No. 2001-67822; Kabushiki Kaisha Toshiba; Filed August 26, 1999 (Published March 16, 2001)</p>												
<p>*Concise Explanation</p> <p>According to this publication, reproduction information read out of an optical disk is temporarily stored in a buffer memory, and simultaneous therewith, a PI-direction syndrome included in the reproduction information is calculated. The publication does not disclose anything about how to cope with a synchronization error.</p>												
<p>Jpn. Pat. Appln. KOKAI Publication No. 2002-74861; Hitachi, Ltd.; Filed August 31, 2000 (Published March 15, 2002)</p>												
<p>*Concise Explanation</p> <p>According to this publication, syndrome calculation is executed after error correction, and the system reliability is improved. On the other hand, the present invention executes syndrome calculation before error correction. The syndrome calculation is executed while simultaneously checking data completeness, thereby increasing the reliability.</p>												
<p>*Concise Explanation</p>												
<p>Prior Applications of Inventors or of Kabushiki Kaisha Toshiba (Assignee)</p> <table border="1"> <thead> <tr> <th>Application No.</th> <th>Toshiba Reference</th> <th>Country</th> <th>Agent</th> <th>memo</th> </tr> </thead> <tbody> <tr> <td> </td> <td> </td> <td> </td> <td> </td> <td> </td> </tr> </tbody> </table>			Application No.	Toshiba Reference	Country	Agent	memo					
Application No.	Toshiba Reference	Country	Agent	memo								
<p>Inventor(s)</p> <p>Signature & Date</p>												

<p>Patent engineer's comment on inventor's information or patent engineer's information</p> <p>Jpn. Pat. Appln. KOKAI Publication No. 2002-74861 (which is referred to in the specification)</p> <p>Jpn. Pat. Appln. KOKAI Publication No. 2001-67822 (which is referred to in the specification)</p>

THIS PAGE BLANK (USPTO)

*		
Checked by	Dated	
Toshiba Reference	Japanese Agent's Ref	sheet

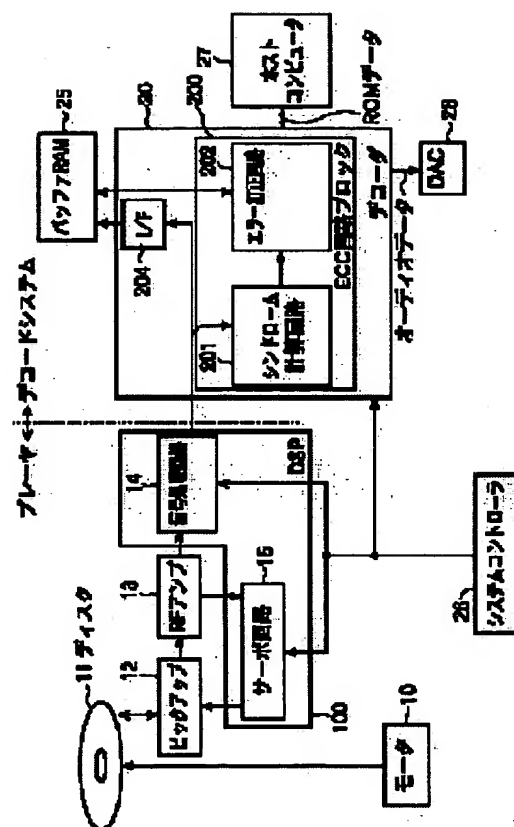
THIS PAGE BLANK (USPTO)

ECC CIRCUIT AND DISK-REPRODUCING APPARATUS

Patent number: JP2001067822
Publication date: 2001-03-16
Inventor: FURUHASHI SHINOBU
Applicant: TOSHIBA CORP
Classification:
 - International: G11B20/18; G06F12/16; H03M13/15
 - european:
Application number: JP19990239612 19990826
Priority number(s):

Abstract of JP2001067822

PROBLEM TO BE SOLVED: To obtain a disk-reproducing apparatus which can improve an ECC-processing speed while holding a high error-detecting efficiency and can reproduce disks at high speed with a high reliability.
SOLUTION: The disk-reproducing apparatus includes a pickup 12 and an RF amplifier 13 for reading out information recorded to an optical disk 11, a signal-processing circuit 14 for processing signals generated by the RF amplifier 13, a decoder 20 for carrying out an error-correcting process for data supplied from the signal-processing circuit, and transferring error-corrected data outside, and a buffer RAM 25 to which data from the signal-processing circuit is temporarily written to be accessed at the error-correcting process. In this case, the decoder has a syndrome calculation circuit 201 for syndrome calculating a P correcting sequence with the utilization of an ECC parity concurrently with writing data to the buffer RAM.



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-67822

(P2001-67822A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 B 20/18	5 4 4	G 1 1 B 20/18	5 4 4 Z 5 B 0 1 8
	5 1 2		5 1 2 D 5 J 0 6 5
G 0 6 F 12/16	3 2 0	G 0 6 F 12/16	3 2 0 E
H 0 3 M 13/15		H 0 3 M 13/15	

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21)出願番号 特願平11-239612

(22)出願日 平成11年8月26日(1999.8.26)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 古橋 忍

神奈川県川崎市幸区小向東芝町1 株式会

社東芝マイクロエレクトロニクスセンター

内

(74)代理人 100083161

弁理士 外川 英明

Fターム(参考) 5B018 GA02 HA14 KA21 MA16 QA16

5J065 AA01 AB01 AC03 AD01 AD03

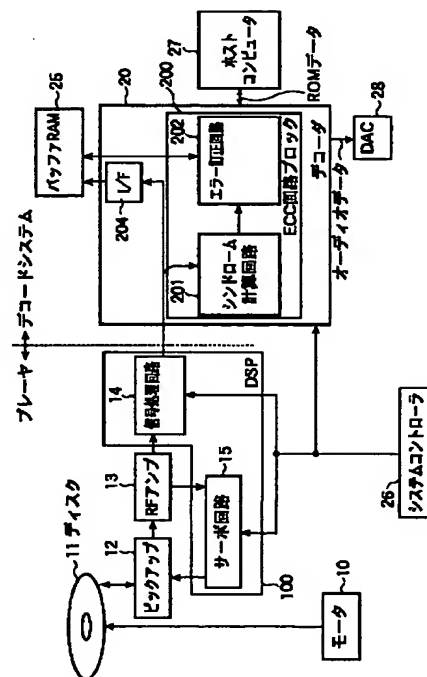
AF02 AG02 AH06

(54)【発明の名称】 ECC回路及びディスク再生装置

(57)【要約】

【課題】 高いエラー検出能力を有しながらECCの処理速度の向上を図ることができ、高速、高信頼性のディスクの再生を可能とするディスク再生装置を提供すること。

【解決手段】 光ディスク11に記録された情報を読み出すためのピックアップ12及びRFアンプ13と、RFアンプで生成された信号を処理する信号処理回路14と、信号処理回路から供給されるデータのエラー訂正処理を実行しエラー訂正データを外部へ転送するデコーダ20と、信号処理回路からのデータが一旦書き込まれてエラー訂正処理時にこの書き込まれたデータへのアクセスが行なわれるバッファRAM25とを具備したディスク再生装置において、デコーダが、バッファRAMへのデータの書き込みと並行してECCパリティを利用したP訂正系列のシンδροーム計算を行なうシンδροーム計算回路201を具備する。



1

【特許請求の範囲】

【請求項 1】 ディスクのプレーヤ側からデコードシステム内に送られメモリに書き込まれるエラー訂正処理のための ECC パリティを含んだデータについてエラー訂正を行なうエラー訂正回路と、前記メモリへのデータの書き込みと並行して前記 ECC パリティを利用した P 訂正系列のシンドローム計算を行なうシンドローム計算回路とを具備したことを特徴とする ECC 回路。

【請求項 2】 前記メモリへのデータの書き込みと並行して前記 ECC パリティを利用したシンドローム計算の結果に基づき前記データのエラー検出を行なうエラー検出回路をさらに具備したことを特徴とする ECC 回路。

【請求項 3】 ディスクに記録された情報を読み出しこの情報に基づく信号を生成するヘッド部と、前記ヘッド部で生成された信号を処理する信号処理回路と、前記信号処理回路から供給されるデータのエラー訂正処理を実行したうえでエラー訂正後のデータを外部へ転送するデコーダと、前記信号処理回路からのデータが一旦書き込まれて前記デコーダによるエラー訂正処理時にこの書き込まれたデータへのアクセスが行なわれるメモリとを具備したディスク再生装置であって、前記メモリへのデータの書き込みと並行して、前記デコーダが、エラー訂正処理のための ECC パリティを利用して P 訂正系列のシンドローム計算を行なうことを特徴とするディスク再生装置。

【請求項 4】 前記デコーダは、前記メモリへのデータの書き込みと並行して、前記 ECC パリティを利用したシンドローム計算の結果に基づき前記データのエラー検出を行なうことを特徴とする請求項 3 記載のディスク再生装置。

【請求項 5】 前記デコーダは、前記データのエラー検出を行なってデータ中にエラーがないと判断したときは、前記メモリに書き込まれたデータをそのまま外部に転送することを特徴とする請求項 4 記載のディスク再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光ディスク再生時にエラー訂正処理を実行するための ECC 回路、及びこの ECC 回路を備えたディスク再生装置に関する。

【0002】

【従来の技術】 光ディスク再生装置は、CD-ROM 等における高速回転での再生に伴い、再生速度の向上、データの高レート転送が要求されている。一般にディスクのデータは、プレーヤ側でのエラー訂正系の機構を経てデコードシステム側に転送される。ディスクのデータはセクタと呼ばれるデータのブロックに分かれてデコードシステム内に送られてくる。このデコードシステムに送られてくるセクタ毎のデータには、例えばブロック先頭を表す同期信号の SYNC、位置やモードフォームの情

2

報を有する HEADER、SUBHEADER、ユーザの情報に有する USER DATA、エラー検出コード EDC、エラー訂正用の符号である ECC パリティ等が含まれている。なおこれらのデータの内容は、フォーマットモードによって異なり、ここではモード 2 フォーム 1 という CD-ROM フォーマットにおける 1 セクタのデータ内容を示している。デコードシステム内のデコーダ、例えば CD-ROM デコーダは、データが書き込まれるメモリとしてのバッファ RAM に対するデータ書き込み、ホストコンピュータへの転送、及びエラー訂正等のアクセスを、ディスクの再生速度に逆比例した時間内に終了させることが重要である。

【0003】 デコードシステム内に送られてくるセクタ毎のデータに関し、デコーダでは定められたアルゴリズムに基づきエラー訂正処理がなされる。この定められたアルゴリズムの従来の例としては、次のようなものが挙げられる。まず第 1 には、エラーの有無に関係なく必ず一通りエラー訂正処理が実行されるというものである。この第 1 の場合では、ディスクの再生速度の向上に伴い、バッファ RAM に対するアクセス能力を非常に高くする必要がある。各セクタ毎に必ず行なわれるエラー訂正のための一連のアクセス動作を、次のセクタのデータが転送される前に完了させたいからである。また第 2 は、エラー検出によりエラーを含むと判断したときのみ、エラー訂正処理を実行するというものである。すなわち、デコードシステム内に送られてくるセクタ毎のデータに予め含まれている EDC（エラー検出コード）、及び C 2 訂正のためのフラグ、C 2 訂正不能フラグまたは補正フラグ等の IPF を利用し、エラー訂正処理の必要性を判断する。これにより、エラー訂正処理の必要がなければ、エラー訂正処理を実行せずにホストコンピュータへのデータ転送を行なうことができる。

【0004】 ここで EDC は、ディスク上のデータとして含まれている。また IPF は、プレーヤ側でのデータ処理においてエラー訂正系を経て付加される。従って、EDC や IPF の利用は、デコードシステム内のバッファ RAM アクセスを必要としないエラー検出手段といえる。こうしたエラー検出手段では、バッファ RAM の性能向上、すなわち ECC の処理速度の向上に苦慮する必要はない。このような第 2 のアルゴリズムを採用したデコードシステムによれば、少なくとも一部のデータ転送は、エラー訂正処理を実行する時間を省くことが期待でき、ひいてはホストコンピュータへのデータ転送を早く実行することが可能となる。これにより、高速なアクセスタ임을有するデコードシステムが構築され得る。

【0005】

【発明が解決しようとする課題】 ディスクのプレーヤ側からデコードシステム内に送られてくるセクタ毎のデータに関し、これまでのデコーダでは、エラーの有無に関係なく全データに対しエラー訂正処理が実行される第 1

3

のアルゴリズムや、エラー検出によりエラーを含むと判断したときのみエラー訂正処理が実行される第2のアルゴリズムが採用されている。ディスクの再生速度が上げられれば、ECCの処理速度の向上に苦慮する第1のアルゴリズムよりも、EDC及びIPFを用いてエラー訂正処理をするか否かを判断する第2のアルゴリズムを採用する方が有利である。第2のアルゴリズムを採用する方がデータの転送速度は上げられるし、バッファRAMの回路規模は変更不要であるし、コスト的にも安価で済むからである。しかしながらEDCは、セクタ毎のデータのエラー訂正のために付加されたエラー訂正符号のECCパリティをも含めたデータの正誤については関知するところではない。これは、ECCパリティ自体はEDCによるエラー検出の対象ではないからである。またIPFは、プレーヤ側が独自のアルゴリズムを用いることによって付加される情報であるため、信頼性という意味において絶対ということはない。従って、ディスクの再生速度の向上に伴い、EDCやIPFのみからエラー訂正をしない判断が下されることは、ディスクの再生において高信頼性を得るには必ずしも十分とはいえない。

【0006】さらにこれら以外にも、ECC専用のRAMをデコーダに内蔵させることで、エラー訂正の際のバッファRAMへのアクセスを不要化し、ECCの処理速度の向上を図ることも考えられる。然るにこの場合は、非常に大容量の専用RAMを新たに付加することが必要であるため、デコーダの回路規模が非常に大きくなってしまふという不具合が生じる。従って本発明は、上述したような事情を鑑み、回路規模の著しい増大を招くことなく、高いエラー検出能力を有しながらECCの処理速度の向上を図ることができ、ひいては高速、高信頼性のディスクの再生を可能とするECC回路及びディスク再生装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため本発明は、ディスクのプレーヤ側からデコードシステム内に送られメモリに書き込まれるエラー訂正処理のためのECCパリティを含んだデータについてエラー訂正を行なうエラー訂正回路と、前記メモリへのデータの書き込みと並行して前記ECCパリティを利用したP訂正系列のシンドローム計算を行なうシンドローム計算回路とを具備したECC回路を提供する。また本発明は、ディスクに記録された情報を読み出しこの情報に基づく信号を生成するヘッド部と、前記ヘッド部で生成された信号を処理する信号処理回路と、前記信号処理回路から供給されるデータのエラー訂正処理を実行したうえでエラー訂正後のデータを外部へ転送するデコーダと、前記信号処理回路からのデータが一旦書き込まれて前記デコーダによるエラー訂正処理時にこの書き込まれたデータへのアクセスが行なわれるメモリとを具備し、前記メモリへのデータの書き込みと並行して、前記デコーダが、エラ

4

ー訂正処理のためのECCパリティを利用してP訂正系列のシンドローム計算を行なうディスク再生装置を提供する。すなわち本発明においては、デコードシステム側でのエラー訂正とバッファリングの処理に際して、バッファRAMのようなメモリへのデータの書き込みと並行して、ECCパリティを利用したP訂正系列のシンドローム計算を行なうことを特徴としている。このように構成することで本発明では、ECCパリティを利用したエラー検出能力の高いエラー訂正処理を、エラー訂正のためのアクセスに要する時間を短縮しながら実行することが可能となる。

【0008】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。図1は、本発明のECC回路を含むディスク再生装置としてのCD-ROMシステムを示すブロック図である。図1において、ディスクモータ10は光ディスク11を回転駆動する。ピックアップ12及びRFアンプ13は、光ディスク11に記録された情報を読み出しこの情報に基づくRF信号を生成するヘッド部に相当している。すなわちピックアップ12は、内蔵された半導体レーザから光ディスク11上のビット列に光ビームを照射し、また内蔵されたフォトダイオードで反射ビームを検出し、得られた再生信号をRFアンプ13に供給する。再生信号はRFアンプ13で波形等化され、RF信号として生成される。その後RF信号は、信号処理回路14やピックアップ系のサーボ回路15に供給される。信号処理回路14には、データスライサ、PLL及び同期信号分離回路やエラー訂正系の処理回路等が含まれる。こうしてプレーヤ側でのエラー訂正処理を経たデータ信号は、デコードシステム側のデコーダ20に送られる。なお信号処理回路14は、さらに図1に示したようにサーボ回路15とも集積化されて、DSP（ディスクサーボプロセッサ）100を形成していてもよい。

【0009】デコーダ20は、ECC回路としてのブロック200を含んでおり、このECC回路のブロック200はシンドローム計算回路201及びエラー訂正回路202を備えている。マイコン等からなるシステムコントローラ26は、プレーヤ側の信号処理回路14やサーボ回路15を制御するとともに、デコードシステム側のデコーダ20にも制御信号を供給する。デコードシステム側に送られたデータは、デコーダ20に入力された後、例えばFIFOバッファからなるインターフェース回路（I/F）204を経由してバッファRAM（メモリ）25にバッファリングされたうえで、ディスクドライブ機構の外部のホストコンピュータ27へ高速に転送される。また、デジタルオーディオデータが記録されているディスクを再生しているときは、オーディオ用のD/A変換器（DAC）28へデータが送られてオーディオ信号が再生される。本発明においては、バッファR

5

AM 25へのデータの書き込みと並行して、シンドローム計算回路201によるP訂正系列のシンドローム計算が行なわれるようにデコードシステム側が制御される。またエラー訂正回路202は、ここでのシンドローム計算の結果を参照しながら、バッファRAM 25に書き込まれたデータのエラー訂正を行なう。このときバッファRAM 25は、書き込まれたデータに対するエラー訂正のためのデコーダ20からのアクセス、及びプレーヤ側から送られてくるデータの書き込みと同時に対応できるよう、2つの格納領域に分割されたうえで使用される。なおバッファRAM 25は、これに限らず3つ以上の格納領域を有していてもよい。

【0010】ここで図2は、バッファRAMの2つの格納領域における処理の対象を経時的に示す模式図である。なお図2中には、デコードシステム側に送られたデータに対するエラー訂正処理の進行状態を併せて示している。図2に示されるように、例えば第1面で $n-1$ セクタのデータのエラー訂正処理を実行しているとき、第2面では n セクタのデータのバッファ転送（書き込み）が行なわれる。第1面でのエラー訂正が終了しエラー訂正データが外部に転送された後、次のセクタのデータの10 入力開始されると、先にエラー訂正を実行していた第1面に $n+1$ セクタのデータのバッファ転送が行なわれ、第2面で n セクタのデータのエラー訂正処理が実行される。このシステムでは、プレーヤ側からシステムデコーダ側へとデータが送られると、バッファRAMのいずれかの格納領域に対するデータのバッファ転送と並行して、デコーダ内のシンドローム計算回路においてデータの10 入力順に、P訂正系列のシンドローム計算が行なわれる。すなわち図2に示される通り、バッファRAMの第2面に対し n セクタのデータのバッファ転送が行なわれる期間には、 n セクタのデータはデコーダにおけるP訂正系列のシンドローム計算にも供される。以後同様に、引き続いてバッファRAMの第1面に対し $n+1$ セクタのデータのバッファ転送が行なわれる期間には、 $n+1$ セクタのデータはデコーダにおけるP訂正系列のシンドローム計算に供され、バッファRAMの第2面に対し $n+2$ セクタのデータのバッファ転送が行なわれる期間には、 $n+2$ セクタのデータはデコーダにおけるP訂正系列のシンドローム計算に供される。

【0011】換言すれば本発明においては、データをバッファRAMに書き込んだ後、次の期間でバッファRAMにアクセスしてエラー訂正処理を実行する際に、すでにP訂正系列のシンドローム計算が済んでおり、ここでのシンドローム計算の結果P訂正が必要となれば、まずP訂正系列のエラーロケーションを算出したうえでエラーデータの訂正を行なえばよい。従って、図2に示される各期間内でのエラー訂正処理時に、少なくとも最初のP訂正系列のシンドローム計算及びそのためのバッファアクセスが必要ない分エラー訂正の終了までに要する時

6

間を短縮でき、結果的にECCの処理速度が高められる。なおデータによっては、特定のセクタのエラー訂正に際してP訂正、Q訂正が複数回繰り返される場合があり、またこのとき2回目以降のP訂正では、エラー訂正回路がバッファRAMにアクセスしてP訂正系列のシンドローム計算を行なうことになるが、図2中には便宜上1回目のP訂正及びQ訂正のみ示した。ここで本発明と比較するために、従来のシステムにおけるエラー訂正処理の進行状態を図3に示す。図3に示される通り、従来はデータがバッファRAMに書き込まれた（バッファ転送された）後、P訂正系列、Q訂正系列ともに常にシンドローム計算から必要に応じて図示しないエラーロケーションの算出を経てエラーデータの訂正までを行っており、各期間においてエラー訂正処理に長い時間を要していた。このため、特にデータの高レート転送が要求された場合、エラー訂正終了後のエラー訂正データの転送のための時間が不十分となり、エラー訂正データの外部への転送（ホスト転送）が完了しないうちに次のデータがプレーヤ側から送られてきて、デコードシステム側の動作に破綻をきたしてしまうおそれがあった。

【0012】これに対し本発明では、図2に示される各期間でのエラー訂正処理の時間が短縮されているので、その短縮分をエラー訂正データの外部への転送に充てれば、エラー訂正データが外部へ転送される前に次のデータが送られてきて、エラー訂正データが上書きされて破壊されるという問題が有効に回避され得る。従って、さらなるデータの高レート転送にも十分対応可能なデコードシステムが構築できる。なお、図中ハッチングが施されたそれぞれの期間のP訂正系列及びQ訂正系列のエラー訂正は、各訂正系列のシンドローム計算結果次第でさらに省略可能である。次に図4を参照して、上述したようなエラー訂正処理をCD-ROMのフォーマットと対比させて具体的に説明する。図4は、CD-ROMで定められた各フォーマットを示すものであり、それぞれ1つのセクタのデータ構成を示している。図示されるように、CD-ROMのフォーマットはモード0からモード2まであり、訂正符号が付加されたフォーマットはモード1とモード2フォーム1である。従って、以下モード1及びモード2フォーム1のフォーマットモードを代表的に説明する。シンク（SYNC）はブロックの先頭を表し、領域で12バイト設けられている。ヘッダー（HEADER）とサブヘッダー（SUBHEADER）は、位置やモードフォームの情報を有するデータ領域で、モード2フォーム1の場合はこれらがそれぞれ4バイトと8バイト設けられている。次に、ユーザーの情報を有するユーザーデータ（USERDATA）の領域が2048バイト設けられている。続いて、エラー検出コードEDCの領域が4バイト、エラー訂正用の符号であるECCパリティの領域が276バイト設けられている。ECCパリティは、Pパリティ172バイトとQパ

7

リティ104バイトに分かれている。

【0013】なおモード1においては、サブヘッダー (SUBHEADER) の領域が設けられていない分、未使用のデータ領域 (digital 0) を8バイト有している。またモード1とモード2フォーム1におけるECC (P) 及びECC (Q) の矢印は、それぞれP訂正系列のシンドローム計算の及ぶ範囲、Q訂正系列のシンドローム計算の及ぶ範囲を示している。上述した通り、訂正符号が付加されたCD-ROMのフォーマットはモード1とモード2フォーム1であり、換言すればCD-ROMのフォーマットにおいて、エラー訂正が行なわれるのはモード1とモード2フォーム1である。ここではまず、モード1の場合のシンドローム計算の手順を図5に概念的に示す。CD-ROMのモード1のエラー訂正のアルゴリズムでは、1セクタのデータ2352バイトから同期パターン12バイトを除いた2340バイト (d₀ ~ d₂₃₃₉) が、図5 (a) に示される通り偶数番目の入力データの配列 (e₀ ~ e₁₁₆₉) と、奇数番目の入力データの配列 (f₀ ~ f₁₁₆₉) の各1170バイトの2面に分けられ、以後はこの2面で同時にエラー訂正処理が実行される。エラー訂正のシンドローム計算

$$S0 = u_0 + u_1 + \dots + u_{24} + u_{25} \quad \dots (1)$$

$$S1 = \alpha^{25}u_0 + \alpha^{24}u_1 + \dots + \alpha u_{24} + u_{25} \quad \dots (2)$$

図6に、図1中に示されるシンドローム計算回路の具体的な構成を示す。このシンドローム計算回路は、モード1におけるP訂正系列のシンドローム計算を行なう回路であり、上式 (1)、(2) に従って入力データを順に計算する。

【0015】すなわち図6において、P訂正系列43列のS0を計算するS0シンドローム計算回路301は、加算器としてのEX-OR303と、前段側の43個のシフトレジスタ304、及び後段側の43個のシフトレジスタ305により構成されている。前段側のシフトレジスタ304は、43進カウンタ306の出力信号により制御され、後段側のシフトレジスタ305は、1118進カウンタ307の出力信号により制御される。これら43進カウンタ306及び1118進カウンタ307には、クロック信号CLKが供給されている。43進カウンタ306は、例えばクロック信号CLKを43個カウントしている間ハイレベル信号を出力し、43個カウントし終わる毎にローレベル信号を出力する。また1118進カウンタ307は、クロック信号CLKを1118個カウントしている間ハイレベル信号を出力し、1118個カウントし終わる毎にローレベル信号を出力する。P訂正系列43列のS1を計算するS1シンドローム計算回路302は、加算器としてのEX-OR308と、前段側の43個のシフトレジスタ309、乗算器310、及び後段側の43個のシフトレジスタ311により構成されている。前段側のシフトレジスタ309は、43進カウンタ306の出力信号により制御され、後段

8

*は、2面とも同様に行なわれる。

【0014】図5 (b) は、これらの2面の各1170個のデータ構成について、データ配列の概念図を示すものである。ヘッダー (HEADER)、ユーザーデータ (USERDATA) 及び未使用データ領域 (digital 0) を含むデータdataは、24バイト (u₀ ~ u₂₃) × 43列のデータ配列で構成される。このデータ配列に対して、P訂正系列とQ訂正系列の2つの方向にそれぞれガロアフィールド (ガロア体) GF (2⁸) で定義されるリードソロモン符号の誤り訂正のための符号、すなわちPパリティとQパリティが配置される。なお図5 (b) 中には、こうしたデータに対しP訂正系列とQ訂正系列の2つのシンドローム計算が行なわれる方向を、矢印で示している。図示される通り、Pパリティは2バイト (u₂₄, u₂₅) × 43列のデータを有しており、結局上述したような24バイト (u₀ ~ u₂₃) × 43列のデータとPパリティの配列部を併せた26 × 43バイトのデータに対してP訂正系列のシンドローム計算が行なわれる。ここでP訂正系列のシンドロームは、以下の式 (1)、(2) で表される。なお、αはガロア体の根である。

側のシフトレジスタ311は、1118進カウンタ307の出力信号により制御される。

【0016】なお図6には、図5に示すLSBバイト側のデータe₀ ~ e₁₁₁₇についてS0、S1のシンドロームを計算する回路のみを示している。しかしながら実際には、図5に示すMSBバイト側のデータf₀ ~ f₁₁₁₇についても同様にS0、S1のシンドロームを計算する必要がある。従って、図6に示す回路が2系統必要であり、全部で43 × 2 × 2 × 2 = 344個のレジスタが必要となる。このようなシンドローム計算回路において、S0のシンドロームを計算する際、43進カウンタ306から出力される信号に基づき、入力データe₀ ~ e₄₂がシフトレジスタ304に供給され、ラッチされる。次に、シフトレジスタ304にラッチされたデータe₀ ~ e₄₂と入力データe₄₃ ~ e₈₅とがEX-OR303により加算され、シフトレジスタ304にそれぞれラッチされる。こうした動作を繰り返し、Pパリティデータe₁₀₇₅からe₁₁₁₇までの入力が終わった時点で、上式 (1) を満たすS0のシンドロームが43列分計算される。ここで計算されたS0のシンドロームは、1118進カウンタ307の出力信号により制御される43個のシフトレジスタ305に供給され、ラッチされる。すなわち、次のセクタのデータがシステムデコード側に送られてきて、バッファRAMに書き込まれるとともにシンドローム計算回路による計算が行なわれる間、エラー訂正処理の対象となっている1つ前のセクタのデータに関するシンドローム計算結果を、後段側のシフトレジ

9

タ305が保持し続ける。

【0017】またS1のシンドロームを計算する場合、S0の場合と同様に、43進カウンタ306から出力される信号に基づいて、入力データ $e_0 \sim e_{42}$ がシフトレジスタ309に供給され、ラッチされる。次に、シフトレジスタ309にラッチされたデータ $e_0 \sim e_{42}$ は乗算器310により α 倍されてEX-OR308に供給され、入力データ $e_{43} \sim e_{85}$ と加算されたうえで、加算結果がシフトレジスタ309にそれぞれラッチされる。こうした動作を繰り返し、Pパリティデータ e_{1075} から e_{1117} までの入力が終わった時点で、上式(2)を満たすS1のシンドロームが43列分計算される。この計算されたS1のシンドロームも、1118進カウンタ307の出力信号により制御される43個のシフトレジスタ311に供給され、エラー訂正処理が実行される間ラッ

$$\begin{aligned} 0 \text{ 列目 } S_{00} &= 0 + e_{43} + \dots + e_{1032} + e_{1075} \\ &= e_{43} + \dots + e_{1032} + e_{1075} \quad \dots (3) \end{aligned}$$

$$\begin{aligned} 1 \text{ 列目 } S_{01} &= 0 + e_{44} + \dots + e_{1033} + e_{1076} \\ &= e_{44} + \dots + e_{1033} + e_{1076} \quad \dots (4) \end{aligned}$$

一方、モード1の計算結果から e_0, e_1 を引いた差 ※20 ※分は、次式(5)、(6)のようになる。

$$\begin{aligned} 0 \text{ 列目 } S_{00} &= e_0 - e_0 + e_{43} + \dots + e_{1032} + e_{1075} \\ &= e_{43} + \dots + e_{1032} + e_{1075} \quad \dots (5) \end{aligned}$$

$$\begin{aligned} 1 \text{ 列目 } S_{01} &= e_1 - e_1 + e_{44} + \dots + e_{1033} + e_{1076} \\ &= e_{44} + \dots + e_{1033} + e_{1076} \quad \dots (6) \end{aligned}$$

すなわち、式(3) = (5)、式(4) = (6)となり、式(5)、(6)が正しいことが証明される。また、データ f_0, f_1 についても同様に証明できるため、モード2フォーム1におけるS0のシンドロームを計算できる。

【0019】S1のシンドロームの計算も、同様の理由 ★30

$$\begin{aligned} 0 \text{ 列目 } S_{10} &= \alpha^{25} \times 0 + \alpha^{24} e_{43} + \dots + \alpha e_{1032} + e_{1075} \\ &= \alpha^{24} e_{43} + \dots + \alpha e_{1032} + e_{1075} \quad \dots (7) \end{aligned}$$

$$\begin{aligned} 1 \text{ 列目 } S_{11} &= \alpha^{25} \times 0 + \alpha^{24} e_{44} + \dots + \alpha e_{1033} + e_{1076} \\ &= \alpha^{24} e_{44} + \dots + \alpha e_{1033} + e_{1076} \quad \dots (8) \end{aligned}$$

一方、モード1の計算結果から $\alpha^{25}e_0, \alpha^{25}e_1$ を ☆ ☆引いた差分は、次式(9)、(10)のようになる。

$$0 \text{ 列目 } S_{10} = \alpha^{25}e_0 - \alpha^{25}e_0 + \alpha^{24}e_{43} + \dots + \alpha e_{1032} + e_{1075}$$

5

$$= \alpha^{24}e_{43} + \dots + \alpha e_{1032} + e_{1075} \quad \dots (9)$$

$$1 \text{ 列目 } S_{11} = \alpha^{25}e_1 - \alpha^{25}e_1 + \alpha^{24}e_{44} + \dots + \alpha e_{1033} + e_{1076}$$

6

40

$$= \alpha^{24}e_{44} + \dots + \alpha e_{1033} + e_{1076} \quad \dots (10)$$

従って、式(7) = (9)、式(8) = (10)となり、式(9)、(10)が正しいことが証明される。また、データ f_0, f_1 についても同様に証明できるため、モード2フォーム1におけるS1のシンドロームを計算できる。

【0020】図7に示したモード2フォーム1におけるP訂正系列のシンドローム計算を行なうシンドローム計算回路は、上式(5)、(6)、(9)、(10)に基づいて入力データを順に計算するものである。このシ

10

*チされる。さらに図7は、モード2フォーム1におけるP訂正系列のシンドローム計算を行なうシンドローム計算回路を示すものである。図7に示されるように、モード2フォーム1のフォーマットでは、ヘッダー(HEADER)の4バイト分少ない2336バイト($d_0 \sim d_3 = 0$ なので $e_0 = e_1 = f_0 = f_1 = 0$)がエラー訂正の対象である。

【0018】S0のシンドロームの計算は、モード1の計算結果とデータ e_0, e_1, f_0, f_1 をそれぞれラッチしておき、最後にモード1の計算結果からデータ e_0, e_1, f_0, f_1 のいずれかを引き算することによりシンドロームを計算できる。この理由について、以下に説明する。上式(1)の e_0, e_1 に“0”を代入すると、次式(3)、(4)のようにな

★により、 $\alpha^{25}e_0, \alpha^{25}e_1, \alpha^{25}f_0, \alpha^{25}f_1$ の計算結果をラッチし、最後にモード1の結果からラッチした計算結果を引き算すればよい。すなわち、上式(2)の e_0, e_1 に“0”を代入すると、次式(7)、(8)のようになる。

ドローーム計算回路は、より具体的には、P訂正系列43列のS0を計算するS0シンドローム計算回路401と、P訂正系列43列のS1を計算するS1シンドローム計算回路402とにより構成されている。さらに、P訂正系列43列のS0を計算するS0シンドローム計算回路401は、加算器としてのEX-OR403と、前段側の43個のシフトレジスタ404と、後段側の2組のシフトレジスタ405、406と、これらシフトレジスタ405、406とそれぞれ対応する減算器407、

50

11

408と、2列目から42列目の計算結果をラッチする41個のシフトレジスタ409と、0列目の計算結果S00をラッチするシフトレジスタ410と、1列目の計算結果S01をラッチするシフトレジスタ411とより構成されている。後段側の一方のシフトレジスタ405はデータe0をラッチし、他方のシフトレジスタ406はデータe1をラッチする。一方の減算器407は、前段側のシフトレジスタ404から出力されるモード1のS00計算結果から後段側の一方のシフトレジスタ405にラッチされたデータe0を減算し、他方の減算器408はモード1のS01計算結果から後段側の他方のシフトレジスタ406にラッチされたデータe1を減算する。

【0021】43進カウンタ412はクロック信号CLKを43個カウントし、1118進カウンタ413はクロック信号CLKを1118個カウントする。前段側のシフトレジスタ404は43進カウンタ412の出力信号により制御される。検出回路(DET0)414は例えばデコーダにより構成され、1118進カウンタ412の出力信号をデコードし“0”を検出する。検出回路(DET1)415は例えばデコーダにより構成され、1118進カウンタ412の出力信号をデコードし“1”を検出する。検出回路414の出力信号は後段側の一方のシフトレジスタ405に供給され、検出回路415の出力信号は後段側の他方のシフトレジスタ406に供給される。さらに最終段で、それぞれモード1の計算結果、0列目の計算結果S00及び1列目の計算結果S01をラッチするシフトレジスタ409、410、411は、1118進カウンタ412の出力信号により制御される。また、P訂正系列43列のS1を計算するS1シンドローム計算回路402は、加算器としてのEX-OR416と、前段側の43個のシフトレジスタ417と、2組の乗算器418、419と、一方の乗算器419の出力データをラッチする後段側の2組のシフトレジスタ420、421と、これらシフトレジスタ420、421とそれぞれ対応する減算器422、423と、2列目から42列目の計算結果をラッチする41個のシフトレジスタ424と、0列目の計算結果S10をラッチするシフトレジスタ425と、1列目の計算結果S11をラッチするシフトレジスタ426とより構成されている。

【0022】一方の乗算器419は、前段側のシフトレジスタ417の出力データを $\alpha^{25}e_0$ し、他方の乗算器418は、前段側のシフトレジスタ417の出力データを α 倍する。後段側の一方のシフトレジスタ420は、一方の乗算器419の出力データ $\alpha^{25}e_0$ をラッチし、他方のシフトレジスタ421は、乗算器419の出力データ $\alpha^{25}e_1$ をラッチする。一方の減算器422は、前段側のシフトレジスタ417から出力されるモード1のS10計算結果から後段側の一方のシフトレジスタ

12

420にラッチされたデータ $\alpha^{25}e_0$ を減算し、他方の減算器423はモード1のS11計算結果から後段側の他方のシフトレジスタ421にラッチされたデータ $\alpha^{25}e_1$ を減算する。前段側のシフトレジスタ417は43進カウンタ412の出力信号により制御される。後段側の一方のシフトレジスタ420は、検出回路414の出力信号により制御され、後段側の他方のシフトレジスタ421は、検出回路415の出力信号により制御される。さらに最終段で、それぞれモード1の計算結果、0列目の計算結果S10及び1列目の計算結果S11をラッチするシフトレジスタ409、410、411は、1118進カウンタ412の出力信号により制御される。

【0023】なお図7には、図5に示すLSBバイト側のデータe0～e1117についてS0、S1のシンドロームを計算する回路のみを示している。しかしながら実際には、図5に示すMSBバイト側のデータf0～f1117についても同様にS0、S1のシンドロームを計算する必要がある。従って、図7に示す回路が2系統必要である。このようなシンドローム計算回路において、S0のシンドロームを計算する際、43進カウンタ412から出力される信号に基づき、入力データe0～e42がシフトレジスタ404に供給され、ラッチされる。次に、シフトレジスタ404にラッチされたデータe0～e42と入力データe43～e85とがEX-OR403により加算され、シフトレジスタ404にそれぞれラッチされる。このとき、検出回路414が1118進カウンタ412の出力信号をデコードして“0”を検出すると、検出回路414の出力信号に応じて、シフトレジスタ405はデータe0をラッチする。また、検出回路415が1118進カウンタ412の出力信号をデコードして“1”を検出すると、検出回路415の出力信号に応じて、シフトレジスタ406はデータe1をラッチする。

【0024】モード1の計算結果は、入力データを全て加算することにより得られる。EX-OR403とシフトレジスタ404により入力データが繰り返し加算され、Pパリティデータe1075からe1117までの入力が終わった時点で、S0のシンドロームが43列分計算される。減算器407は、ここでの計算結果S00からシフトレジスタ405にラッチされたデータe0を減算し、減算器408は、計算結果S01からシフトレジスタ406にラッチされたデータe1を減算する。こうして計算されたS0のシンドロームのうち、0列目と1列目は1118進カウンタ413の出力信号により制御されるシフトレジスタ410、411にラッチされ、これ以外の41バイトは1118進カウンタ413の出力信号によりシフトレジスタ409にラッチされる。一方S1のシンドロームを計算する場合、S0の場合と同様に、43進カウンタ412から出力される信号

13

に基づいて、入力データ $e_0 \sim e_{42}$ がシフトレジスタ417に供給され、ラッチされる。次に、シフトレジスタ417にラッチされたデータ $e_0 \sim e_{42}$ は乗算器418により α 倍されてEX-OR416に供給され、入力データ $e_{43} \sim e_{85}$ と加算されたうえで、加算結果がシフトレジスタ417にそれぞれラッチされる。このとき、検出回路414が1118進カウンタ412の出力信号をデコードして“0”を検出すると、検出回路114の出力信号に応じて、シフトレジスタ420は乗算器419により α^{25} 倍されたデータ $\alpha^{25}e_0$ をラッチする。また、検出回路415が1118進カウンタ412の出力信号をデコードして“1”を検出すると、検出回路115の出力信号に応じて、シフトレジスタ421は乗算器419により α^{25} 倍されたデータ $\alpha^{25}e_1$ をラッチする。

【0025】EX-OR416とシフトレジスタ417により入力データが繰り返し加算され、Pパリティデータ e_{1075} から e_{1117} までの入力が終わった時点で、S1のシンドロームが43列分計算される。減算器422は、ここでの計算結果S10からシフトレジスタ420にラッチされたデータ $\alpha^{25}e_0$ を減算し、減算器423は、計算結果S11からシフトレジスタ421にラッチされたデータ $\alpha^{25}e_1$ を減算する。こうして計算されたS1のシンドロームのうち、0列目と1列目は1118進カウンタ413の出力信号により制御されるシフトレジスタ425、426にラッチされ、これ以外の41バイトは1118進カウンタ413の出力信号によりシフトレジスタ424にラッチされる。図1に示され*

$$S0 = u_0 + u_1 + \dots + u_{43} + u_{44} \quad \dots (11)$$

$$S1 = \alpha^{44}u_0 + \alpha^{43}u_1 + \dots + \alpha^{43}u_{43} + u_{44} \quad \dots (12)$$

上述したようなシステムにおいては、バッファRAM25へのデータの書き込みと同時にP訂正系列のシンドローム計算が進行しているため、エラー訂正回路202によるエラー訂正処理の実行に当って、P訂正系列に関してはバッファRAM25へのアクセスを伴わないエラーロケーションの算出を直ちに行なうことができる。従って、エラー訂正処理に要する時間を短縮でき、ディスクの再生速度が高速化された場合においても、余裕を持って外部のホストコンピュータ27へデータを転送することが可能となる。

【0027】次に図8は、本発明のECC回路を含むディスク再生装置としてのCD-ROMシステムの他の例を示すブロック図である。図8から明らかなようにこの例は、デコードシステム側のデコーダ20内のECC回路のブロック200に、バッファRAM25へのデータの書き込みと並行して、ECCパリティを利用したシンドローム計算の結果に基づきデータのエラー検出を行なうエラー検出回路300を設けた点が、図1に示したシステムと異なる。ここでは、プレーヤ側から送られてきたセクタ毎のデータに関し、エラーが存在しないとき

14

*るエラー訂正回路202は、シンドローム計算回路201の計算結果に基づきエラーロケーションを算出し、算出したエラーロケーションに応じてバッファRAM25内のエラーデータに対するP訂正を行なう。ただし、上式(1)、(2)に基づくP訂正系列のシンドローム計算結果が全43列でいずれも0であり、各列でエラーがないことが判ったときは、エラー訂正回路202は最初(1回目)のP訂正を省略して、Q訂正系列のシンドローム計算から行なうアルゴリズムとしてもよい。シンドローム計算回路201の計算結果は、上述したようにモード1においては、S0シンドローム計算回路301中のシフトレジスタ305とS1シンドローム計算回路302中のシフトレジスタ311にラッチされており、モード2フォーム1では、S0シンドローム計算回路401中のシフトレジスタ409、410、411、及びS1シンドローム計算回路402中のシフトレジスタ424、425、426にラッチされている。

【0026】さらにエラー訂正回路202は、この後バッファRAM25に書き込まれたデータにアクセスしつつ、次式(11)、(12)に基づくQ訂正系列のシンドローム計算と、必要に応じエラーロケーションの算出及びエラーデータの訂正を行なう。なおここで、Q訂正系列のシンドローム計算の結果Q訂正が必要でエラーデータの訂正が行なわれると、これを受けてエラー訂正後のデータがP訂正系列のシンドローム計算に改めて供される。この場合は、エラー訂正回路202がバッファRAM25内のデータにアクセスしながらP訂正系列のシンドローム計算を行なう必要が生じる。

は、図5(b)中に矢印で示されるP訂正系列とQ訂正系列の2つのシンドローム計算でP訂正系列の全43列、Q訂正系列の全26列が全て0になることを利用して、エラー検出回路300がデータ内におけるエラーの有無を判断する。すなわちエラー検出回路300は、プレーヤ側から送られてきたデータの入力順に上式

(1)、(2)、(11)、(12)に基づくP訂正系列、Q訂正系列のシンドロームの総和をそれぞれ計算し、これらの総和がいずれも0となったときは、セクタ内にエラーデータが含まれていないと判断し、システムコントローラ26にフラグFRGを出力する。なおエラー検出回路300の具体例としては、例えば本出願人による特願平10-56924号の図5、図10に示されるものが挙げられる。

【0028】図8に示されるシステムにおいては、エラー検出回路300によりバッファRAM25に書き込まれたデータにエラーがあると判断された場合、エラー訂正回路202はシステムコントローラ26の制御に基づき、P訂正系列のエラーロケーションの算出とエラーデータの訂正、及びQ訂正系列のシンドローム計算乃至エ

15

ラーデータの訂正を行なう。一方、エラー検出回路 300 による計算結果が P 訂正系列、Q 訂正系列のいずれも 0 でありエラーがないと判断されたときは、デコーダ 20 がバッファ RAM 25 に書き込まれているデータをそのままホストコンピュータ 27 に転送する。なお、エラー検出回路 300 が P 訂正系列のシンドロームの総和のみ 0 となったことを判別したとき、エラー訂正回路 202 に対し Q 訂正から行なわせるようなシステム構成としてもよい。あるいは、エラー検出回路 300 がデータにエラーがあると判断した場合で、シンドローム計算回路 201 による P 訂正系列のシンドローム計算結果が全 43 列でいずれも 0 となったときは、図 1 に示したシステムと全く同様に、エラー訂正回路 202 が最初 (1 回目) の P 訂正を省略して、まず Q 訂正系列のシンドローム計算と、その結果に基づくエラーロケーションの算出及びエラーデータの訂正を行なうアルゴリズムとしてもよい。

【0029】こうしたシステムによれば、エラー検出回路 300 によりデータにエラーがないと判断された場合は、エラー訂正回路 202 がエラー訂正処理を実行しないため、外部のホストコンピュータ 27 にデータを高速に転送できる。特に、リアルタイムでなくキャッシュ *

$$P(x) = (x^{16} + x^{15} + x^2 + x) (x^{16} + x^2 + x + 1) \cdots (13)$$

また I P F エラー検出部 23 は、信号処理回路 14 による信号処理中にエラーが検出された場合、信号処理回路 14 によりデータに付加される I P F (例えば C2 訂正のためのフラグ、C2 訂正不能フラグまたは補正フラグ等)を検出する。この I P F は、例えば 1 バイトのデータに対して 1 ビット付加されており、I P F エラー検出部 23 は、1 セクタ中の I P F の数をカウントし、このカウント値が "0" である場合、エラーなしと判断する。上述したような E C C エラー検出部 21、E D C エラー検出部 22、I P F エラー検出部 23 は、システムコントローラ 26 の要求に応じて、それぞれエラー検出結果に基づくフラグ F R G 1、F R G 2、F R G 3 をシステムコントローラ 26 に出力する。システムコントローラ 26 は、これらフラグ F R G 1、F R G 2、F R G 3 により、エラー訂正が必要であるか否か判断し、訂正が必要な場合デコーダ 20 のエラー訂正回路 202 を起動する。またエラー訂正の必要がなければ、バッファ RAM 25 に書き込まれているデータをそのままホストコンピュータ 27 に転送するよう、デコーダ 20 に指示を出す。

【0031】図 9 に示したシステムにおいても、エラー検出回路 300 がデータにエラーがないと判断した場合はエラー訂正処理を省略することで、外部のホストコンピュータ 27 にデータを高速に転送することが可能となる。しかもエラー検出回路 300 では、E C C エラー検出部 21、E D C エラー検出部 22 及び I P F エラー検

16

*れたデータをホスト転送している場合、無駄なエラー訂正による能力低下を防止し得る。また図 9 には、本発明の E C C 回路を含むディスク再生装置としての C D - R O M システムのさらに他の例のブロック図を示す。この例は、エラー検出回路として、上述したように E C C パリティを利用してエラー検出を行なう回路以外に、E D C や I P F を利用してエラー検出を行なう回路を併用したものである。すなわち、図 9 中の E C C エラー検出部 21 は、データの入力順に P 訂正系列、Q 訂正系列のシンドロームの総和をそれぞれ計算し、これらの総和がいずれも 0 であるか否かに基づきデータ中のエラーの有無を判断するものである。E C C エラー検出部 21 としては、図 8 に示される C D - R O M システムの場合と同様に、例えば特願平 10-56924 号の図 5、図 10 に示される回路が用いられ得る。次に E D C エラー検出部 22 は、信号処理回路 14 から出力されるデータ中に含まれる E D C (エラー検出コード)を検出するものである。すなわち E D C エラー検出部 22 は、次式 (13) を計算することによりデータ中のエラーの有無を検出する。

【0030】

出部 23 のエラー検出結果を併用することで、エラー検出精度を向上させることができる。

【0032】

【発明の効果】以上詳述したように本発明によれば、高いエラー検出能力を有しながら E C C の処理速度の向上を図った E C C 回路を提供することができ、この E C C 回路を使用することで、さらなるディスクの高速再生、データの高レート転送にも十分追従し得る高信頼性のディスク再生装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】本発明の E C C 回路を含むディスク再生装置としての C D - R O M システムを示すブロック図である。

【図 2】バッファ RAM の 2 つの格納領域における処理の対象を経時的に示す模式図である。

【図 3】従来のシステムにおけるエラー訂正処理の進行状態を示す図である。

【図 4】C D - R O M で定められた各フォーマットを示す図である。

【図 5】モード 1 の場合のシンドローム計算の手順を概念的に示す図である。

【図 6】モード 1 における P 訂正系列のシンドローム計算を行なうシンドローム計算回路を示す図である。

【図 7】モード 2 フォーム 1 における P 訂正系列のシンドローム計算を行なうシンドローム計算回路を示す図である。

【図 8】本発明の E C C 回路を含むディスク再生装置と

してのCD-ROMシステムの他の例を示すブロック図である。

【図9】本発明のECC回路を含むディスク再生装置としてのCD-ROMシステムのさらに他の例を示すブロック図である。

【符号の説明】

- 11…光ディスク
12…ピックアップ
13…RFアンプ
14…信号処理回路

* 14…信号処理回路

20…デコーダ

25…バッファRAM

200…ECC回路ブロック

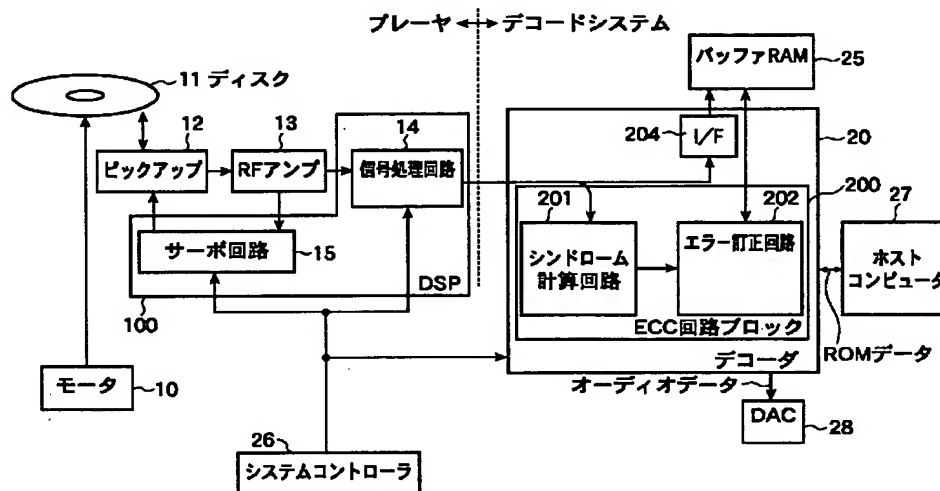
201、301、302、401、402…シンドローム計算回路

202…エラー訂正回路

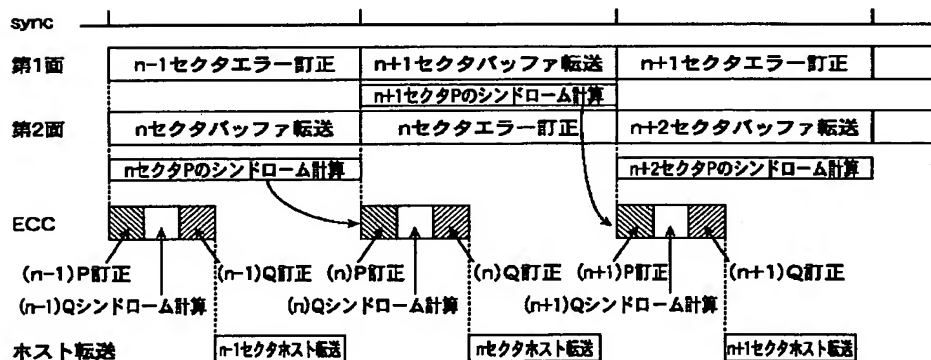
300…エラー検出回路

*

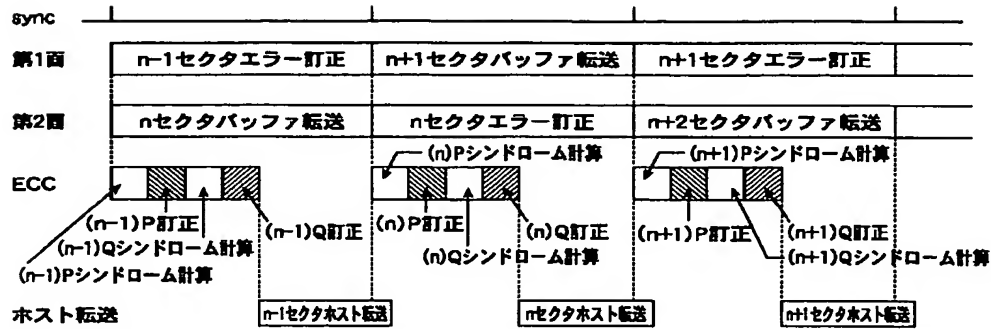
【図1】



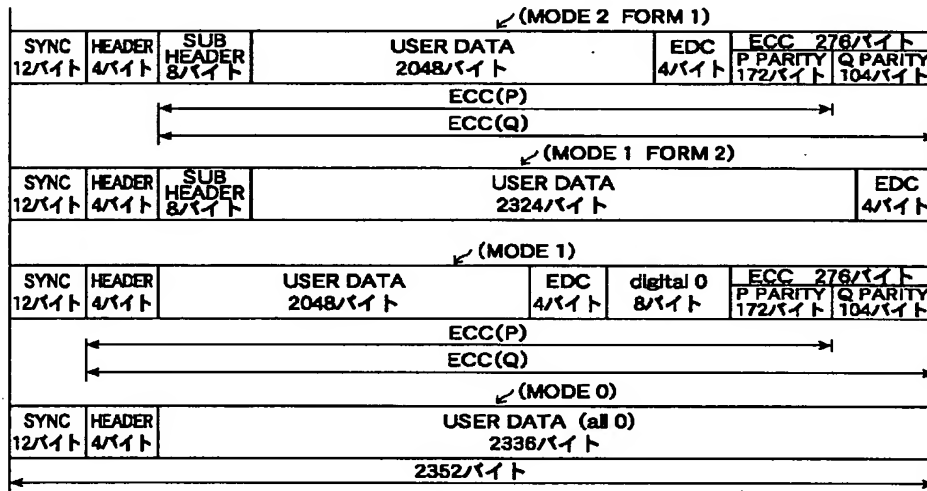
【図2】



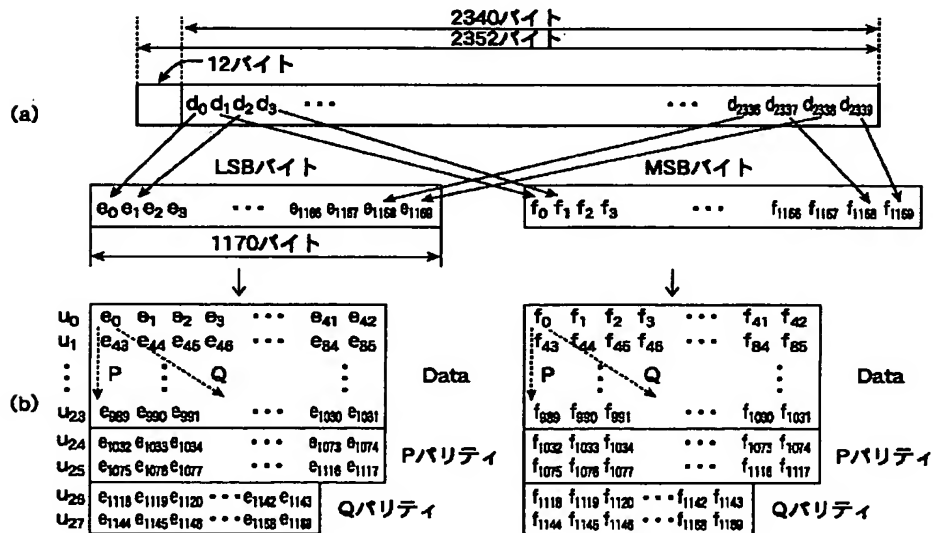
【図3】



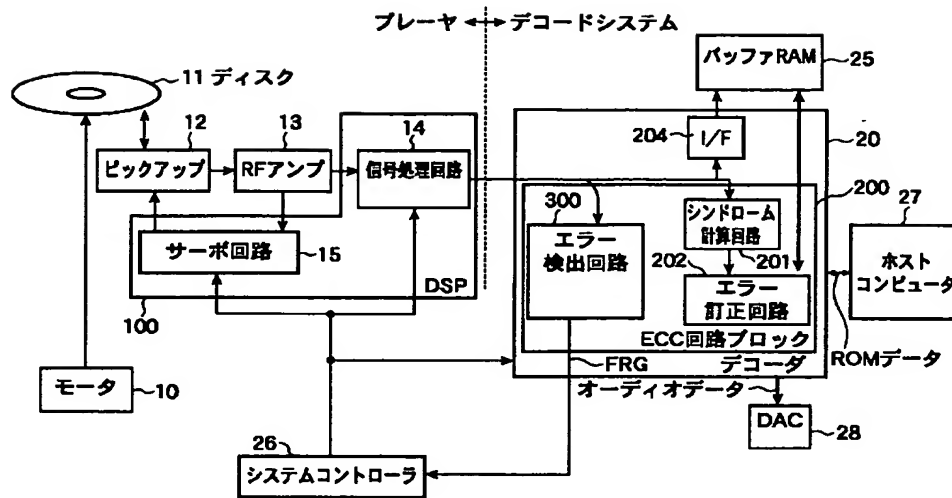
【図4】



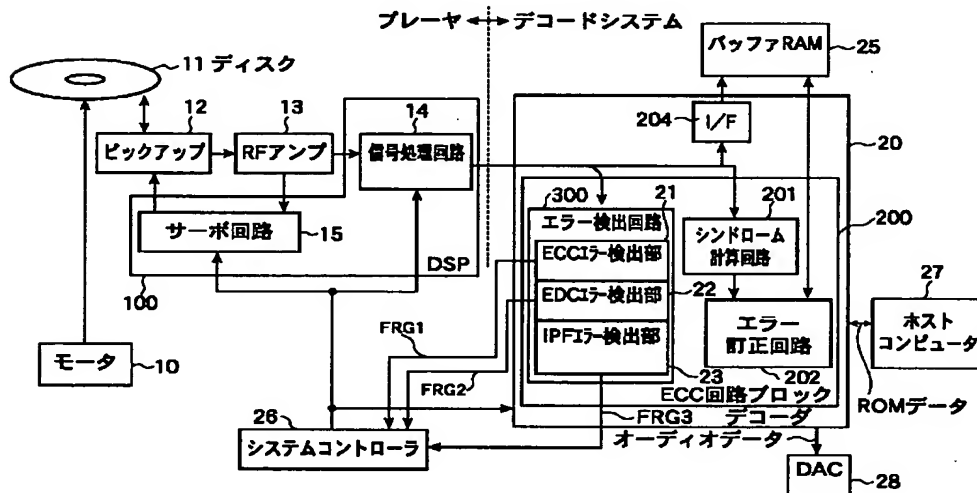
【図5】



【図 8】



【図 9】



THIS PAGE BLANK (USPTO)